

基于硬件加速的实时仿真平台构建技术

孔 璐, 张 涛, 王金波, 周 珊

(中国科学院 空间应用工程与技术中心, 北京 100094)

摘 要: 针对复杂可编程逻辑设计及验证过程中仿真速度过慢的问题, 提出了基于硬件加速的实时仿真平台构建技术. 将可综合的逻辑代码下载到硬件平台中, 不可综合的测试程序运行在仿真器软件中, 并通过接口函数实现软、硬件之间的数据交互. 实验结果表明, 该技术能够有效提高仿真效率, 同时具有操作灵活、可观测性强等优点.

关键词: FPGA; 硬件加速; 实时仿真; HDL

中图分类号: TP391.9

文献标识码: A

文章编号: 1000-7180(2016)01-0034-03

Design of Real-time Simulation Platform Based on Hardware Acceleration

KONG Lu, ZHANG Tao, WANG Jin-Bo, ZHOU Shan

(Technology and Engineering Center for Space Utilization, Chinese Academy of Sciences, Beijing 100094, China)

Abstract: A real-time simulation platform based on hardware acceleration has been implemented since the simulation speed is too slow for complex integrated circuits. The codes which could be synthesized were downloaded to the hardware platform, while the other un-synthesizable ones were left running in simulation tools, and the data interaction between the hardware platform and the simulation tools is implemented by interface functions. The results of experiments indicate that the proposed platform, possessing fine flexibility and observability, can strongly heighten the simulation effort.

Key words: FPGA; hardware acceleration; real-time simulation; HDL

1 引言

随着可编程逻辑设计规模的不断增大和功能复杂度的不断提高, 验证人员需要开发大量的测试用例来保证芯片功能的正确性, 对以使用硬件描述语言 HDL (Hardware Description Language) 为系统逻辑描述手段完成的复杂设计而言, 如何对其进行可靠、快速、全面的仿真显得尤为重要^[1].

为了缩短仿真时间, 提高验证效率, 本文在传统的 HDL 仿真技术基础上, 提出了一种基于硬件加速的实时仿真平台构建技术, 即把待验证的设计映射到可配置、可编程的 FPGA 芯片中, 然后对这个等效模型进行仿真, 通过物理硬件高速运行的特点消除由仿真软件带来的仿真性能瓶颈, 使系统仿真

速度大幅度提高.

2 传统 HDL 仿真技术分析

在 HDL 设计中, 仿真是验证设计正确性的关键步骤^[2]. 传统的 HDL 仿真流程如图 1 所示.

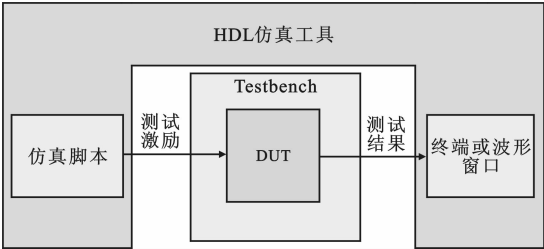


图 1 传统 HDL 仿真流程

在 test bench 中实例化被测设计 DUT(Design Under Test),然后通过仿真工具中编写脚本的方式向被测设计输入测试激励,同时将测试结果同步输出到仿真工具的终端或波形窗口中,验证人员可以选择直接观测波形或将实际结果与预期结果进行比较,以此来进行正确性判断。

对 HDL 设计进行功能仿真验证具有以下优点:(1)在项目开发的同时就开始验证工作,有利于提早发现设计错误;(2)通过 test bench 灵活改变测试向量,可以根据功能覆盖情况有针对性地施加测试激励;(3)通过仿真器的波形窗口实时观测设计内部寄存器、状态机和缓存的值,便于更快地定位设计错误。

但近年来,越来越多的系统设计选择调用大量标准库元件或采用大量数学算法来实现某些复杂的功能,而使用传统的仿真技术对这类设计进行仿真时,常常出现为了执行一个测试用例而等上数小时甚至数天的情况,这大大影响了验证工作的进度;同时,仿真速度的制约使验证人员很难做到在项目周期内全面覆盖设计中的功能点,从而导致设计中的错误被遗漏^[3]。

本文提出了基于硬件加速的实时仿真平台构建技术,在保持传统仿真技术操作灵活、可观测性强等优势的基础上,改善仿真速度过慢的问题。

3 基于硬件加速的实时仿真平台构建及应用

3.1 实时仿真平台的构建

本文采用 ALDEC 公司的 HES 硬件加速仿真系统来构建实时仿真平台.该硬件加速仿真系统由 HDL 仿真工具、硬件平台和上位机软件三部分组成,如图 2 所示。

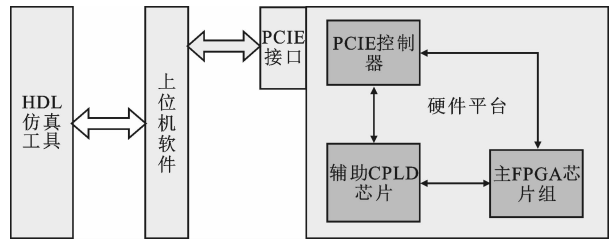


图 2 硬件加速仿真系统组成

其中, HDL 仿真工具选用 Mentor 公司的 Modelsim 6. 4e,上位机软件沿用了 ALDEC 公司的 DVM 系统管理工具,硬件平台中的辅助芯片为 CPLD,主 FPGA 芯片组则由 2 片 Xilinx Vertex5 组成.被测设计通过上位机软件编译生成位流文件

后,由辅助芯片控制将其写入主 FPGA 芯片组中;主 FPGA 芯片组通过 PCIE 控制器与硬件平台的 PCIE 接口相连,从而实现与上位机软件的通讯。

基于硬件加速的实时仿真流程如图 3 所示.仿真开始后,HDL 仿真工具编译 test bench 文件,并将产生的编译结果通过上位机软件中的接口函数传递给硬件平台的驱动程序,再由驱动程序转化为硬件平台所能接收的二进制码,以此实现向 FPGA 中的被测设计施加测试激励;仿真过程中的每个时钟周期或每次有新的事件发生时,硬件平台的驱动程序均会读取被测模块的测试结果数据,并通过上位机软件中的接口函数上传给 HDL 仿真工具,并通过仿真工具的终端或波形窗口实时打印或显示^[4]。

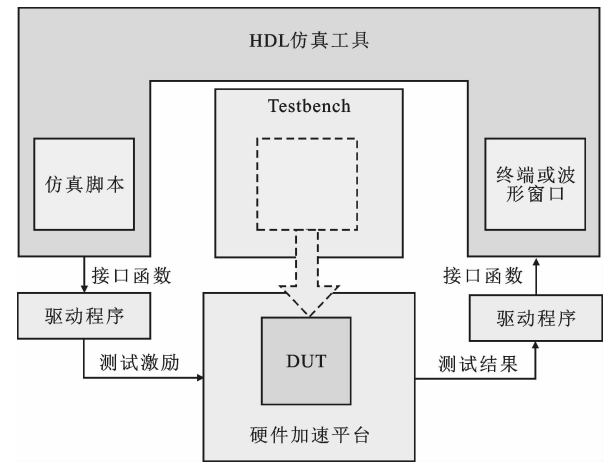


图 3 基于硬件加速的实时仿真流程

从图 3 中可以看到,基于硬件加速的实时仿真在测试脚本编写及仿真结果观测方面与传统仿真流程完全一致,不同之处在于被测设计的全部模块或大多数模块被映射到硬件平台中实现,这样仿真实际耗时便与测试向量在硬件平台中的运行时间基本相同,达到优于传统仿真技术的实时性能。

3.2 实时仿真平台的应用

本文提出的实时仿真平台构建技术被成功地应用于某相机视频编码系统配置项级测试中.该视频编码系统的主要功能是将某相机采集的视频图像数据进行实时的 MPEG4 视频压缩编码,主要通过 FPGA 设计实现。

实时仿真平台构建的前期工作主要在 DVM 系统管理工具中完成.首先通过编写测试脚本的方式对被测设计(DUT)和 test bench 文件进行语法检查和编译,然后选择将哪些模块下载到硬件平台中;通过评估硬件资源及工程软件规模,本文将所有可综合的代码下载到硬件平台中,而 test bench 文件

及 SRAM 仿真模型等不可综合的代码则直接在仿真工具中进行仿真,以最大程度地发挥硬件加速的效果. 与 ISE 开发流程类型,本项目在下载至硬件平台之前也完成了综合(Synthesize)、翻译(Translate)、映射(Map)和布局布线(Place and Route)等步骤,最终产生二进制码流文件(. bit). 本文通过对 DVM 系统管理工具进行设置,调用综合工具 Synplify Pro9. 6. 1 对指定的被加速模块进行综合,调用 Xilinx ISE 10. 1. 2 组件完成被加速模块的实现和下载,仿真工具采用 Modelsim 6. 4e. 下载完成后,在仿真工具中运行测试脚本,完成整个工程的调试和仿真.

为了更直观地证明实时仿真平台的仿真加速作用,本文在相同的软、硬件测试环境中,采用传统仿真技术对该视频编码系统进行了仿真,并对注入不同帧数时的仿真时间进行了统计,对比结果如图 4 所示.

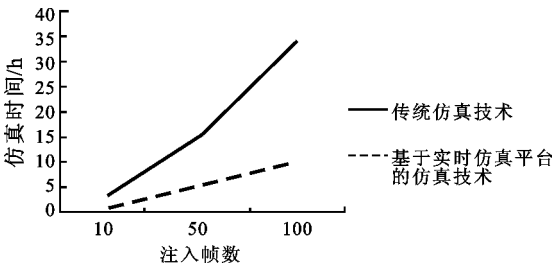


图 4 两种不同仿真技术对比

从统计结果可以看出,无论使用传统仿真技术或基于实时仿真平台的仿真技术,仿真所消耗的实际时间均与注入图像帧数成正比;当使用同一个测试文件向被测系统注入相同帧数的图像数据时,基于实时仿真平台的仿真所消耗的实际时间接近传统仿真耗时的 1/3,且从图中的趋势可以推断出,注入的图像数据越多,实时仿真所节省的时间越多.

4 结束语

为解决传统仿真技术在复杂 FPGA 工程设计

中仿真速度过慢的问题,同时保留传统仿真技术操作灵活、可观测性强的优点,本文提出了基于硬件加速的实时仿真平台构建技术. 该技术将可综合的逻辑代码下载到硬件平台中,不可综合的测试程序运行在仿真器软件中,并通过接口函数实现软、硬件之间的数据交互. 实验结果证明,采用基于硬件加速的实时仿真技术与采用传统仿真技术得到的仿真结果完全相同,但仿真速度却比后者有了很大程度的提升,从而使工程师在复杂 FPGA 设计中开展短周期、高效率的测试成为可能.

参考文献:

[1] 徐金娜,付方发,王进祥. 基于 FPGA 的软硬件协同仿真平台的数据通路设计[J]. 微电子学与计算机,2014, 31(3):107-114.

[2] Christopher Lavin, Marc Padilla, Jaren Lamprecht, et al. HMFlow; accelerating FPGA compilation with hard Macros for rapid prototyping [C] //Field-Programmable Custom Computing Machine (FCCM), 2011 IEEE 19th Annual International Symposium on. USA, Salt Lake City, 2011:117-124.

[3] SrivastavaR, Mudgil N, Gupta G, et al. SoC time to market improvement through device driver reuse; an industrial experience[C] // Electronic System Design (ISED), 2012 International Symposium on. India, 2012:56-61.

[4] 田野. 基于 FPGA 的软硬件协同仿真平台的设计[D]. 黑龙江:哈尔滨工业大学,2010..

作者简介:

孔 璐 女,(1986-),硕士,工程师. 研究方向为高可靠软件、嵌入式软件测试. E-mail:konglu@csu. ac. cn.

张 涛 男,(1972-),博士,研究员. 研究方向为高可靠软件.

王金波 男,(1978-),博士,副研究员. 研究方向为高可靠软件.

周 珊 女,(1983-),硕士,工程师. 研究方向为高可靠软件、嵌入式软件测试.